

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-28174

(43) 公開日 平成 6 年 (1994) 2 月 4 日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/06	4 4 0 N	9367-5B		
G 1 1 C 17/00	C	6741-5L		

審査請求 未請求 請求項の数 2 (全 4 頁)

(21) 出願番号 特願平4-181058

(22) 出願日 平成 4 年 (1992) 7 月 8 日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 谷津 常彦

大阪府守口市京阪本通 2 丁目 18 番地 三洋

電機株式会社内

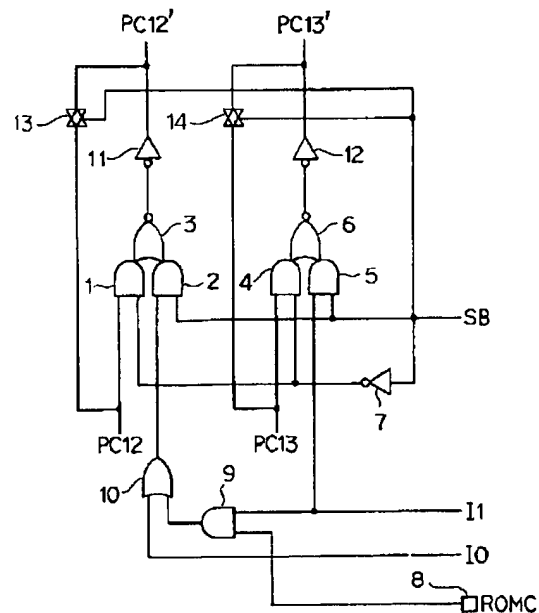
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 アドレス指定回路

(57) 【要約】

【目的】 本発明は、マスク ROM のマスク変更することなく、2 種類の独立したプログラムデータを読み出すことができる様に、マスク ROM をアクセスするアドレス指定回路を提供することを目的とする。

【構成】 本発明によれば、マスク ROM の第 2 の記憶領域への変更を指示する為の命令が実行された時、端子 (8) にローレベルの入力信号が印加されていると、アドレスデータの上位ビット PC 1 3 ' 及び PC 1 2 ' は第 2 の記憶領域をアクセスできる様に設定され、また端子 (8) にハイレベルの入力信号が印加されていると、アドレスデータの上位ビット PC 1 3 ' 及び PC 1 2 ' は第 3 の記憶領域をアクセスできる様に設定され、即ち端子 (7) への入力信号レベルを変えておくことで、同一のプログラム命令を実行したにも関わらず、マスク ROM の異なる記憶領域へジャンプできることになる。



【特許請求の範囲】

【請求項1】 mビットのアドレスデータを解読してマスクROMの第1の記憶領域をアクセスし、前記mビットのアドレスデータに付加される上位1ビット目のデータで前記マスクROMの第2の記憶領域のアクセスを指示し、前記mビットのアドレスデータに付加される上位2ビット目のデータで前記マスクROMの第3の記憶領域のアクセスを指示するアドレス指定回路において、

前記マスクROMの第1の記憶領域又は第2の記憶領域のアクセスの変更を指示する為の命令に応じて、前記上位1ビット目及び上位2ビット目のデータを変更する第1の手段と、

前記マスクROMの第2の記憶領域への変更を指示する為の命令が実行された時に、前記マスクROMの第2の記憶領域又は第3の記憶領域をアクセスする様に、前記上位1ビット目及び上位2ビット目のデータの内容を予め設定できる第2の手段と、

を備えたことを特徴とするアドレス指定回路。

【請求項2】 前記第2の手段は、第1のレベルの入力信号に応じて前記上位1ビット目及び上位2ビット目のデータを前記マスクROMの第2の記憶領域をアクセスする内容に設定し、第2のレベルの入力信号に応じて前記上位1ビット目及び上位2ビット目のデータを前記マスクROMの第3の記憶領域をアクセスする内容に設定することを特徴とする請求項1記載のアドレス指定回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マイクロコンピュータの動作プログラムを格納するマスクROMのアドレス指定回路に関する。

【0002】

【従来の技術】1チップマイクロコンピュータはその一連の動作を実行させる為のプログラムデータを格納したROMを内蔵しており、このROMは一般にマスクでチップ上に作られている。ところで、ROMに一度書き込んでしまったプログラムデータを修正したい場合、プログラムデータの変更が必要な部分だけマスクパターンを変更するということができない為、マスクパターンの変更を含むマスク全体を再度チップ上に作り直していた。

【0003】

【発明が解決しようとする課題】上記した様に、プログラムデータの変更に伴うマスクパターンの変更は容易ではない。例えば、プログラムデータの1ビットのみを変更するだけでも、マスクパターン全体をチップ上にわざわざ作り直す作業を行わなければならない。即ち、プログラムデータの変更の要求があってからプログラムデータを変更したROM内蔵の1チップマイクロコンピュータを出荷する迄に多くの時間を必要としてしまう問題があった。更に、マスク変更にはコストがかかる問題もあつ

た。

【0004】特に、内蔵ROMのプログラムデータの一部を変更することによって、2種類の1チップマイクロコンピュータを製造する様なユーザ展開が予定されていても、2種類のROMを各々マスクで独立に作らなければならない、コスト及び期間の面でユーザに無理を強いることになる問題があった。そこで、本発明は、マスクROMのマスク変更をすることなく、2種類の独立したプログラムデータを読み出すことができる様に、マスクROMをアクセスするアドレス指定回路を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、前記問題点を解決する為に成されたものであり、その特徴とするところは、mビットのアドレスデータを解読してマスクROMの第1の記憶領域をアクセスし、前記mビットのアドレスデータに付加される上位1ビット目のデータで前記マスクROMの第2の記憶領域のアクセスを指示し、前記mビットのアドレスデータに付加される上位2ビット目のデータで前記マスクROMの第3の記憶領域のアクセスを指示するアドレス指定回路において、前記マスクROMの第1の記憶領域又は第2の記憶領域のアクセスの変更を指示する為の命令に応じて、前記上位1ビット目及び上位2ビット目のデータを変更する第1の手段と、前記マスクROMの第2の記憶領域への変更を指示する為の命令が実行された時に、前記マスクROMの第2の記憶領域又は第3の記憶領域をアクセスできる様に、前記上位1ビット目及び上位2ビット目のデータの内容に予め設定できる第2の手段と、を備えた点である。

【0006】

【作用】本発明によれば、マスクROMの第2の記憶領域への変更を指示する為の命令が実行された時、第2の手段に第1のレベルの入力信号が印加されていると、アドレスデータの上位1ビット目及び2ビット目は第2の記憶領域をアクセスできる様に設定され、また第2の手段に第2のレベルの入力信号が印加されていると、アドレスデータの上位1ビット目及び2ビット目は第3の記憶領域をアクセスできる様に設定され、即ち第2の手段への入力信号レベルを変えておくことで、同一のプログラム命令を実行したにも関わらず、マスクROMの異なる記憶領域へジャンプできることになる。

【0007】

【実施例】本発明の詳細を図面に従って具体的に説明する。図1は本発明のアドレス指定回路を示す図である。詳しくは、1チップマイクロコンピュータに内蔵されるマスクROMをアクセスする為のアドレス指定回路の要部である。ここで、マスクROMは1ワードが4ビットで構成され、マスクROMの総記憶容量は64Kビット(16Kバイト)であるものとする。そして、マスクROM

3

Mの中の所定の8Kバイトを第1の記憶領域とし、残余の中の4Kバイトを第2の記憶領域とし、更に残りの4Kバイトを第3の記憶領域とする。また、マスクROMをアクセスするには16K種類のアドレスデータ即ち14ビットのアドレスデータが必要であり、このアドレスデータの中で最下位ビットから数えた12ビットはプログラムカウンタ(図示せず)によって順次インクリメントされ、残りの上位2ビットは命令によって適宜変更されるものとする。つまり、アドレスデータの上位2ビットはマスクROMの記憶領域の指定に使用される。この点

【0008】図1において、信号SBはマスクROMの記憶領域を指定する為の命令が実行された時に「1」となり、また信号I0及びI1はこの命令が実行された時に命令の種類に応じて適宜「0」又は「1」に設定されるものである。この様子は図2の各信号の状態図に示されている。即ち、マスクROMの第1の記憶領域の中の前半の4Kバイトをアクセスできる様に命令SB0が実行されると、信号I0、I1は共に「0」となり、また、マスクROMの第1の記憶領域の中の後半の4Kバイトをアクセスできる様に命令SB1が実行されると、信号I0、I1は各々「1」「0」となり、更に、マスクROMの第2の記憶領域の4Kバイトをアクセスできる様に命令SB2が実行されると、信号I0、I1は各々「0」「1」となる。

【0009】ANDゲート(1)(2)及びNORゲート(3)、ANDゲート(4)(5)及びNORゲート(6)は各々切換ゲートを構成している。そして、ANDゲート(2)(5)の一方の入力端子には信号SBが印加され、ANDゲート(1)(4)の一方の入力端子には信号SBをインバータ(7)で反転した反転信号が印加される。即ち、ANDゲート(2)(5)、(1)(4)は各々相補的に開閉状態となる。(8)はマイクロコンピュータから導出された端子であり、この端子(8)にはマスクROMの記憶領域を変更する為の信号ROMCが印加され、この信号ROMCは、第2の記憶領域をアクセスする時にローレベル(第1のレベル)となり、第3の記憶領域をアクセスする時にハイレベル(第2のレベル)となる。実際には第2の記憶領域をアクセスする場合に端子(8)を接地しておき、第3の記憶領域をアクセスする場合に端子(8)を電源と接続すればよい。ANDゲート(9)には信号I1及び信号ROMCが印加される。即ち、信号I1が「1」の時に信号ROMCは有効にANDゲート(9)から出力される。ORゲート(10)には信号I0及びANDゲート(9)の出力が印加される。即ち、信号I0が「0」の時にANDゲート(9)の出力がORゲート(10)から有効に出力されることになる。また、ANDゲート(2)(5)の他方の入力端子には各々ANDゲート(10)の出力及び信号I1が印加され、ANDゲート(1)(4)の他方の入力端子には14ビットのアドレスデータの中の上位2ビッ

4

トであるPC12及びPC13が印加される。そして、NORゲート(3)(6)の出力は各々インバータ(11)(12)を介してPC12'及びPC13'として出力される。更に、トランсмисシオンゲート(13)(14)は信号SBが「1」の時にゲートを開き、PC12'及びPC13'を各々PC12及びPC13としてANDゲート(1)(4)の他方の入力端子に帰還するものである。

【0010】以下、図1の動作について説明する。まず、マイクロコンピュータがリセット解除され、マスクROMの初期プログラムに基づき命令SB0及びジャンプ命令が実行されると、信号SB=1、I0=I1=0となり、アドレスデータの上位2ビットPC13'及びPC12'は共に「0」となる。このPC13'及びPC12'は各々トランсмисシオンゲート(14)(13)を介してANDゲート(4)(1)の他方の入力端子に帰還され、信号SBは信号I0及びI1の状態に関係なく「0」に反転する。こうすることによって、PC12及びPC13がそのままPC12'及びPC13'として出力されることになる。一方、PC13'及びPC12'が共に「0」であることから、アドレスデータの低位12ビットPC11~PC0でマスクROMの第1の記憶領域の前半の領域「0000~0FFF」H(H:ヘキサデシマル)がアクセス可能となり、上記したジャンプ命令により領域「0000~0FFF」Hの中の所定番地がアクセスされることになる。この時、信号ROMCの値に関係なくアドレスデータの上位2ビットPC13'及びPC12'は共に「0」のままである。

【0011】その後、命令SB1及びジャンプ命令が実行されると、信号SB=1、I0=1、I1=0となり、アドレスデータの上位2ビットPC13'が「0」、PC12'が「1」となる。このPC13'及びPC12'は各々トランсмисシオンゲート(14)(13)を介してANDゲート(4)(1)の他方の入力端子に帰還され、信号SBは信号I0及びI1の状態に関係なく「0」に反転する。こうすることによって、PC12及びPC13がそのままPC12'及びPC13'として出力されることになる。一方、PC13'及びPC12'が各々「0」「1」であることから、アドレスデータの低位12ビットPC11~PC0でマスクROMの第1の記憶領域の後半の領域「1000~1FFF」Hがアクセス可能となり、上記したジャンプ命令により領域「1000~1FFF」Hの中の所定番地がアクセスされることになる。この時、信号ROMCの値に関係なくアドレスデータの上位2ビットPC13'及びPC12'は各々「0」「1」のままである。

【0012】その後、命令SB2及びジャンプ命令が実行されると、信号SB=1、I0=0、I1=1となり、アドレスデータの上位2ビットの中でPC13'は「1」となり、PC12'は信号ROMCのレベルに応じて変化することになる。そこで、マスクROMの第2

5

の記憶領域を使用しようとして端子(8)を接地しておいた場合、PC12'は「0」となる。これらのPC13'及びPC12'は各々トランSMissionゲート(14)(13)を介してANDゲート(4)(1)の他方の入力端子に帰還され、信号SBは信号I0及びI1の状態に関係なく「0」に反転する。こうすることによって、PC12及びPC13がそのままPC12'及びPC13'として出力されることになる。一方、PC13'が「1」、PC12'が「0」であることから、アドレスデータの低位12ビットPC11~PC0でマスクROMの第2の記憶領域「2000~2FFF」Hがアクセス可能となり、上記したジャンプ命令により領域「2000~2FFF」Hの中の所定番地がアクセスされることになる。一方、マスクROMの第3の記憶領域を使用しようとして端子(8)を電源と接続しておいた場合、同一の命令SB2及びジャンプ命令が実行されたにも関わらず、PC13'及びPC12'は共に「1」となる。そして、アドレスデータの低位12ビットPC11~PC0でマスクROMの第3の記憶領域「3000~3FFF」Hがアクセス可能となり、上記したジャンプ命令により領域「3000~3FFF」Hの中の所定番地がアクセスされることになる。

【0013】以上より、マスクROMの第1の記憶領域を共用とし、第1及び第2の記憶領域を組み合わせて1つのROM機能を実現し、また第1及び第3の記憶領域を組み合わせてもう1つのROM機能を実現する場合、端子(8)の入力レベルをハイレベル又はローレベルに切り換えるのみで、マスクROMのマスクパターンを変更

6

することなく、第2の記憶領域のアクセスを指定する命令を利用して第2の記憶領域へも第3の記憶領域へもジャンプできることになる。つまり、見た目上は、1個のマイクロコンピュータチップであるが、2種類のマイクロコンピュータの機能を有することになる。従って、ユーザがプログラムデータの一部を変更した2種類の1チップマイクロコンピュータを要求した場合であっても、マスクを1度チップに焼き付けるだけで対応可能となる。

【0014】

【発明の効果】本発明によれば、プログラムデータの一部を変更した2種類のマスクROMを1チップマイクロコンピュータ等に内蔵する場合であっても、マスクを1度チップ上に焼き付けるだけで対応可能となり、これよりユーザに対してマスクのコストダウン、マスクROMの開発期間の短縮等が可能となる。

【図面の簡単な説明】

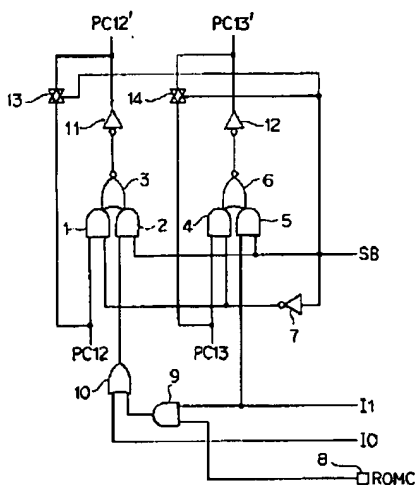
【図1】本発明のアドレス指定回路を示す図である。

【図2】図1に使用される各信号の状態を示す状態図である。

【符号の説明】

- (1)(2)(4)(5)(9) ANDゲート
(3)(6) NORゲート
(7) インバータ
(8) 端子
(10) ORゲート
(13)(14) トランSMissionゲート

【図1】



【図2】

	I1	I0	ROMC	PC13'	PC12'
SB0	0	0	0	0	0
SB1	0	1	0	0	1
SB2	1	0	0	1	0
			1	1	1